

S., Roy D. Learning Influence among Interacting Markov Chains // Neural Information Processing Systems (NIPS), 2005. – P. 132-141.

5. M. Cha, H. Haddadi, F. Benevenuto, and K. P. Gummadi. Measuring User Influence in Twitter: The Million Follower Fallacy. In ICWSM '10, 2010.

6. M. Goetz, J. Leskovec, M. Mcglohon, and C. Faloutsos. Modeling blog dynamics. In ICWSM, 2009.

7. Gubanov D.A., Novikov D. A., Chkhartishvili A. G. «Soczial'ny'e seti: modeli informacionnogo vliyaniya, upravleniya i protivoborstva», 2010–228 str.

УДК 004.087

Поліщук Ю.К., студент 5 курсу спеціальності «СО (Інформатика)»

Жуковський С.С., к.п.н., доцент кафедри Прикладної математики та інформатики

ВИКОРИСТАННЯ SPI FLASH В ТЕХНІЦІ

Житомирський державний університет імені Івана Франка, Україна

В зв'язку з діджиталізацією, у сучасному світі пристрої які 5 років назад були аналоговими такі як: приборні панелі автомобілів, пральні машинки, мікрохвильові печі, духовки і багато іншої побутової техніки мають вбудовану пам'ять для програм та запису налаштувань. Такі пристрої не потребують досить багато пам'яті та великої швидкості передачі даних тому в них використовується SPI пам'ять.

Переваги SPI пам'яті малий розмір мікросхеми, 4 біний інтерфейс передачі даних, і це не виключає роботу як в 2 бітному режимі так і в 1 бітному, має систему захисту від запису. Також є асинхронний режим роботи. В цьому режимі послідовна шина працює на запис та на зчитування. Завдяки тому що в даних флеш накопичувачах використовується SPI інтерфейс (Serial Peripheral Interface – послідовний інтерфейс) який може містити декілька пристроїв на одній шині.

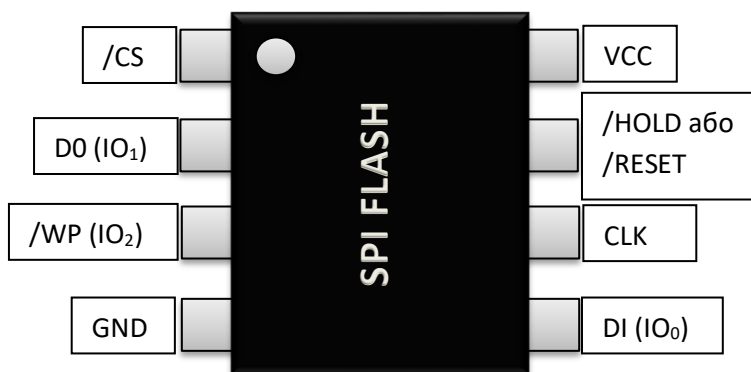


Рис. 1. Вигляд мікросхеми пам'яті та позначення виводів

На рисунку 1 зображений зовнішній вигляд мікросхеми пам'яті та позначення виводів які розтлумачені в таблиці 1.

Дана мікросхема пам'яті розрахована на живлення від 3 вольт та має енергонезалежну пам'ять від 512 Кб до 32 Мб. Також мікросхема має великий набір команд та режимів завдяки яких вона може використовуватись в досить багатьох пристроях. Ресурс даної пам'яті 100000 записів/стирань і гарантоване збереження даних протягом 20 років.

Таблиця 1

Призначення виводів мікросхеми SPI Flash

Вивід	Назва виводу	Ввід / вивід (I/O – input/output)	Призначення
1	/CS	I	Ввід для активізації пристрою на шині SPI
2	DO (IO1)	I/O	Вихід даних (Шина вводу/ виводу 1) ¹
3	/WP (IO2)	I/O	Захист від запису (Шина вводу/ виводу 2) ²
4	GND		Земля (мінус живлення)
5	DI (IO0)	I/O	Вхід даних (Шина вводу/ виводу 0) ¹
6	CLK	I	Вхід такту шини SPI
7	/HOLD або /RESET (IO3)	I/O	Утримування / скидання (Шина вводу/ виводу 3) ²
8	VCC		Вхід живлення

*1. IO0 та IO1 використовуються для стандартних та 2 бітних SPI інструкцій

*2. IO0 – IO3 використовуються для 4 бітної шини

Для керування мікросхемою пам'яті використовуються регістри які виставляються по шині SPI. Значення регістрів (інструкцій) буде наведено в таблиці 2

Таблиця 2

Інструкції мікросхеми пам'яті M25P32

Інструкція	Опис	Код інструкції		Байтів адреси	Фіктивні байти	Байтів інформації
WREN	Дозвіл на запис	0000 0110	06h	0	0	0
WRDI	Заборона на запис	0000 0100	04h	0	0	0
RDID	Ідентифікація зчитування	1001 1111	9Fh	0	0	Від 1 до 3
RDSR	Статус зчитування	0000 0101	05h	0	0	Від 1 до ∞
WRSR	Статус запису	0000 0001	01h	0	0	1
READ	Зчитування даних	0000 0011	03h	3	0	Від 1 до ∞
FAST_READ	Зчитування даних з великою швидкістю	0000 1011	0Bh	3	1	Від 1 до ∞
PP	Програмування сторінки пам'яті	0000 0010	02h	3	0	Від 1 до 256
SE	Очищення сектора пам'яті	1101 1000	D8h	3	0	0
BE	Стирання блоку пам'яті	1100 0111	C7h	0	0	0
DP	DPD (Енерго зберігаючий режим)	1011 1001	B9h	0	0	0

Інструкція «Дозвіл на запис» (0x06) фіксує біт дозволу на запис. Біт блокування запису повинний бути встановлений перед кожною операцією PP, SE та WRSR.

Інструкція про реєстрацію статусу запису (0x01) дозволяє записувати нові значення в реєстр статусу. Ця інструкція включає в себе код інструкції та необхідне значення регістра статусу. Реєстр статусу включає наступні біти: запис в процесі роботи (WIP), увімкнення запису (WEL), захист блоку (BP2, BP1, BP0) та вимкнення статусу запису (SRWD).

Інструкція «програмування сторінки» (0x02) використовується для програмування байтів пам'яті. Ця інструкція включає в себе код інструкції, три байти адреси та принаймні один байт даних.

Інструкція «зчитування даних» (0x03) використовується для зчитування байтів пам'яті. Ця інструкція включає код інструкції та три адреси байтів.

Отже завдяки компактності та різних видів підключення в залежності з потребами пристрою, мікросхеми SPI Flash пам'яті поширено використовують в побутових приборах та техніці де непотрібні великі обчислювальні потужності.

Література.

1. Serial Flash Memory [Електронний ресурс]. – 2015. – Режим доступу до ресурсу: <https://www.winbond.com/resource-files/w25q128fv%20rev.1%2008242015.pdf>.

2. M25P32 32Mb 3V NOR Serial Flash Embedded Memory [Електронний ресурс]. – 2013. – Режим доступу до ресурсу: <https://www.micron.com/-/media/client/global/documents/products/data-sheet/nor-flash/serial-nor/m25p/m25p32.pdf>.

УДК 004.023:004.852

Радюк П.М., аспірант кафедри інженерії програмного забезпечення

Грипинська Н.В., к.ф.-м.н., доцент кафедри інженерії програмного забезпечення

ПРОСТІР ПОШУКУ ДЛЯ ЗАДАЧІ ОПТИМІЗАЦІЇ АРХІТЕКТУРИ НЕЙРОННОЇ МЕРЕЖІ

Хмельницький національний університет, Україна

На сьогодні, оптимізація нейронних мереж є актуальною сферою досліджень, що полягає в застосуванні алгоритмів оптимізації для проектування оптимальних архітектур нейронних мереж. Науковою спільною запропоновано багато підходів до простору пошуку архітектур, стратегій оптимізації, та методів оцінювання оптимальності результатів [0, 0]. У цій роботі наводиться порівняльний аналіз підходів до ініціалізації множини початкових архітектур.

Розглянемо нейронну архітектуру A з ланцюгово-структурним простором пошуку (рис. 1.а). Подібна архітектура представлена послідовністю із n шарів, де i -й шар L_i отримує вхідну інформацію із шару $i-1$, а його вихід служить входом для шару $i+1$; іншими словами:

$$A = L_n \circ \dots \circ L_1 \circ L_0. \quad (1)$$

Простір пошуку (1) ініціалізований такими групами параметрів:

- а) кількість шарів n , де $n \rightarrow \infty$;
- б) тип операції, яку може виконувати кожний шар мережі, наприклад, згортка (convolution), об'єднання (pooling), функції активації (activation function) тощо;
- в) гіперпараметри нейронної мережі, пов'язані з певною операцією, наприклад, кількість фільтрів згорткового шару, розмір ядра та кроку для згорткового шару тощо.

Параметри групи в) обумовлені групою б), тому множина параметрів простору пошуку визначена з нескінченною кількістю елементів.

Останні наукові роботи у сфері оптимізації нейронних мереж [0, 0] використовують елементи проектування відомі, як пропускні з'єднання (skip connections), що дають змогу